

特許庁長官に提出する
特許出願書(特許)第1号

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-243213
(P2000-243213A)

F-03 (Doo) 14

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 H 85/00		H 0 1 H 85/00	T
69/02		69/02	

審査請求 未請求 請求項の数23 O L (全 8 頁)

(21) 出願番号 特願2000-46289 (P2000-46289)
(22) 出願日 平成12年2月23日 (2000.2.23)
(31) 優先権主張番号 09/255767
(32) 優先日 平成11年2月23日 (1999.2.23)
(33) 優先権主張国 米国 (US)

(71) 出願人 399035836
インフィニオン テクノロジーズ ノース
アメリカ コーポレイション
Infineon Technolog
ies North America Co
rp
アメリカ合衆国 カリフォルニア サン
ホセ ノース ファースト ストリート
1730
(74) 代理人 100061815
弁理士 矢野 敏雄 (外3名)

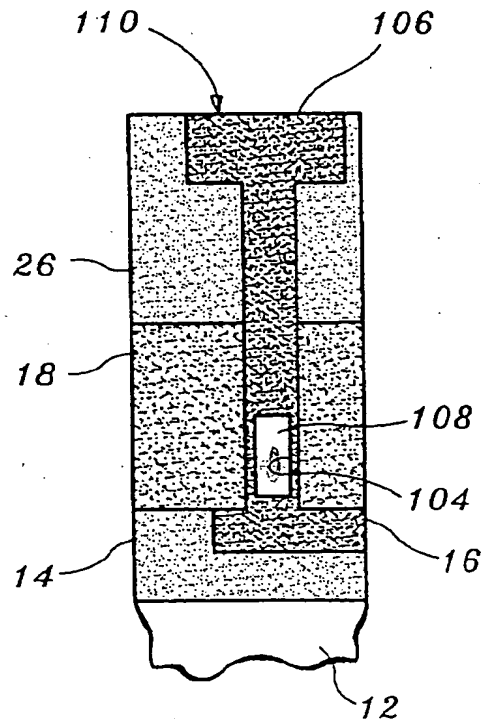
最終頁に続く

(54) 【発明の名称】 縦型ヒューズおよび製造方法

(57) 【要約】

【課題】 半導体チップ上でヒューズが占める面積を縮小すること。また、半導体デバイスのヒューズに対する、ヒューズ抵抗を調整する方法を提供すること。

【解決手段】 半導体のヒューズを、導電性経路が表面に配置された基板と、前記基板に配置された誘電体層と、前記表面に垂直に配置された縦型ヒューズとを有するように構成し、前記縦型ヒューズは誘電体層を貫通し、前記導電性経路に接続し、前記縦型ヒューズは空孔を備え、前記空孔の縦表面にはライナ材料が配置され、縦表面に沿ったライナ材料は溶けてヒューズを切断するようにする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体デバイス用のヒューズにおいて、導電性経路が表面に配置された基板と、

前記基板に配置された誘電体層と、

前記表面に垂直に配置された縦型ヒューズとを有し、

前記縦型ヒューズは誘電体層を貫通し、前記導電性経路

に接続し、前記縦型ヒューズは空孔を形成し、

前記空孔の縦表面に沿ってライナ材料が配置され、

縦表面に沿ったライナ材料は溶けてヒューズを切断する、ことを特徴とするヒューズ。

【請求項2】 前記ライナ材料は窒化チタンを含む、請求項1記載のヒューズ。

【請求項3】 前記ヒューズはアルミニウムを含む、請求項1記載のヒューズ。

【請求項4】 前記誘電体層は多重誘電体層を含む、請求項1記載のヒューズ。

【請求項5】 前記導電性経路はヒューズに垂直に配置された導体線を含んでおり、導体線とヒューズとの間でバンドが形成される、請求項1記載のヒューズ。

【請求項6】 ヒューズを通る電流はバンドから空孔へ向かって流れる、請求項5記載のヒューズ。

【請求項7】 前記ライナ材料の抵抗は、ヒューズの他の部分の抵抗より大きい、請求項1記載のヒューズ。

【請求項8】 縦型ヒューズの製造方法において、半導体デバイスの誘電体層中にヒューズホールを縦方向に形成するステップと、

前記ヒューズホールの側面を導電体層でライニングするステップと、

前記ヒューズホール内に導電体を堆積するステップとを有し、

前記導電体層の抵抗は前記導電体の抵抗より大きく、

前記導電体は空孔を形成し、

前記空孔の縦表面には導電体層が配置されている、ことを特徴とする方法。

【請求項9】 前記導電体を堆積するステップは、デュアルダマシンプロセスにより導電体を堆積するステップを含む、請求項8記載の方法。

【請求項10】 前記導電体を堆積するステップは、導電体の湿潤層を堆積し、

ヒューズホール内に導電体を堆積して空孔を形成することをさらに含む、請求項8記載の方法。

【請求項11】 前記湿潤層は化学的気相成長プロセスにより堆積させる、請求項10記載の方法。

【請求項12】 前記導電体は物理的気相成長プロセスにより堆積させる、請求項8記載の方法。

【請求項13】 導電体層の厚さまたは空孔の寸法の一方を調整して、所定のヒューズ切断電圧を規定するステップをさらに含む、請求項8記載の方法。

【請求項14】 前記導電体はアルミニウムを含み、前記導電体層は窒化チタンを含む、請求項8記載の方法。

【請求項15】 ヒューズの抵抗を、該ヒューズが接続されている外部回路の抵抗と整合させるステップをさらに含む、請求項8記載の方法。

【請求項16】 縦型ヒューズの製造を、メモリチップのコンタクトおよびバイア構造体の製造と同時に行う方法において、

メモリチップを提供し、

該メモリチップの基板には、メモリアレイ部分内にデバイスが形成されており、

前記基板上に第1誘電体層を堆積し、

第1誘電体層中にコンタクトを形成し、

第2誘電体層を堆積し、

ヒューズホールとバイアホールとを同時に形成し、

ヒューズホールは第1および第2誘電体層中に縦方向に形成し、

バイアホールをコンタクトまで貫通させ、

ヒューズホールおよびバイアホールの側壁を導電体層でライニングし、

導電体をヒューズホールおよびバイアホール内に堆積し、

導電体層の抵抗は導電体の抵抗より大きく、

ヒューズホール内に堆積した導電体はヒューズホール内に空孔を形成し、

前記空孔の縦表面には導電体層が配置されており、

前記ヒューズホールは、バイアホールの開口部よりも大きな開口部を形成しており、

同じプロセスによりヒューズホール内に空孔を形成する一方、バイアホールを充填する、ことを特徴とする方法。

【請求項17】 前記導電体を堆積するステップは、デュアルダマシンプロセスにより導電体を堆積するステップを含む、請求項16記載の方法。

【請求項18】 前記導電体を堆積するステップは、導電体の湿潤層を堆積することをさらに含む、請求項16記載の方法。

【請求項19】 前記湿潤層は化学的気相成長プロセスにより堆積させる、請求項18記載の方法。

【請求項20】 前記導電体は物理的気相成長プロセスにより堆積させる、請求項19記載の方法。

【請求項21】 導電体層または空孔の寸法の一方を調整して、所定のヒューズ切断電圧を規定するステップをさらに含む、請求項16記載の方法。

【請求項22】 前記導電体はアルミニウムを含み、前記導電体層は窒化チタンを含む、請求項16記載の方法。

【請求項23】 ヒューズの抵抗を、該ヒューズが接続されている外部回路の抵抗と整合させるステップをさらに含む、請求項16記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体の製造に関し、より詳細には縦型ヒューズおよび半導体チップレイアウト面積の縮小に対する方法に関する。

【0002】

【従来の技術】メモリデバイスのような半導体デバイスはヒューズを備えている。ダイナミックランダムアクセスメモリ（DRAM）チップにおいては、DRAMチップ設計の世代が新しくなる度に、メモリ密度の増加によりヒューズの数には大幅に増加する。ヒューズはレーザーで切断されるか電氣的に切断されるかのいずれかであり、従来のDRAM設計においてはチップの面方向に平行に配置されている。この方向に配置されたヒューズは横向配置ヒューズまたは横型ヒューズと呼ばれる。横向配置ヒューズは、ヒューズ回路と合わせて全チップ面積の大体3%を消費する。

【0003】メモリデバイスにおけるヒューズ使用法の1つは、チップのエリアまたはブロックをアクティベート／ディアクティベートすることである。これはそれぞれアンチヒューズ（anti-fuse）およびヒューズを使用して行われる。例えばチップの歩留りを向上させるために、ヒューズの切断によりアクティベートされる冗長部を使用する。次世代のDRAMではヒューズの面積は大幅に拡大されるであろうが、これは特に冗長部が拡大されるからである。例えば従来のDRAMチップが15000のヒューズを備えていたとすれば、次世代のDRAMチップは約30000から約50000のヒューズを備えることになる。

【0004】本発明による縦型に配置されたヒューズは、有利には付加的なプロセスおよびマスクステップなしに、半導体デバイスの金属構造体と共に形成される。以下に、デュアルダマシンプロセスに対するコンタクト／配線の形成について簡単に説明する。

【0005】図1に、半導体デバイス10を示す。半導体デバイスは基板12を含む。誘電体層14は当分野で周知のプロセスにより堆積およびパターニングされている。誘電体層14は酸化物、例えばTEOSまたはBPSGを含む。導電体16は誘電体層14上に堆積している。導電体16は金属、例えばタングステンまたはアルミニウムを含む。導電体16は配線または他の導電性構造体を、例えばDRAMチップのM0レベルに形成する。

【0006】図2を参照する。誘電体層18が誘電体層14および導電体層16上に堆積している。誘電体層18は、二酸化シリコンのような酸化物である。誘電体層18はパターニングおよびエッチングされて、コンタクトホール20および配線トレンチ22が形成され、ここにアルミニウムのような導電体24のデュアルダマシン堆積が、図3に示すように行われる。化学的機械研磨（CMP）を実行して表面を平坦化し、導電体24を表面から除去する。

【0007】図4を参照すると、誘電体層26が誘電体層18上およびコンタクト／配線28上に堆積しており、ここでコンタクト／配線28は誘電体層18内に形成されている。誘電体層26は有利には酸化物、例えば二酸化シリコンである。

【0008】図5および図6を参照すると、誘電体層26はパターニングおよびエッチングされてバイアホール32および配線トレンチ34が形成され、ここにアルミニウムのような導電体36のデュアルダマシン堆積が実行されて、図6に示すようなバイア／配線38が形成される。CMPを実行して表面を平坦化し、導電体36を表面から除去する。

【0009】図1から図6で説明したプロセスを半導体デバイス10全体に実行する。例えば、コンタクト／配線28およびバイア／配線38をメモリチップのメモリアレイ部分30内に形成する。

【0010】従って、半導体チップ上でヒューズが占める面積を縮小する必要がある。さらに、半導体デバイスのヒューズに対する、ヒューズ抵抗を調整する方法が必要である。さらに付加的なプロセスステップおよびマスク無しにヒューズを製造する必要がある。

【0011】

【発明が解決しようとする課題】本発明の課題は、半導体チップ上でヒューズが占める面積を縮小することである。本発明の別の課題は、半導体デバイスのヒューズに対する、ヒューズ抵抗を調整する方法を提供することである。

【0012】

【課題を解決するための手段】前記課題は本発明により、半導体のヒューズを、導電性経路が表面に配置された基板と、前記基板に配置された誘電体層と、前記表面に垂直に配置された縦型ヒューズとを有するように構成し、前記縦型ヒューズは誘電体層を貫通し、前記導電性経路に接続し、前記縦型ヒューズは空孔を備え、前記空孔の縦表面にはライナ材料が配置され、縦表面に沿ったライナ材料は溶けてヒューズを切断するようにして解決される。

【0013】

【発明の実施の形態】本発明による半導体デバイスのヒューズは、導電性経路が表面に配置された基板と、前記基板に配置された誘電体層と、前記表面に垂直に配置された縦型ヒューズとを有する。前記縦型ヒューズは誘電体層を貫通し、前記導電性経路に接続し、前記縦型ヒューズは空孔を備え、前記空孔の縦表面にはライナ材料が配置され、縦表面に沿ったライナ材料は溶けてヒューズを切断する。

【0014】択一的な実施例では、前記ライナ材料は有利には窒化チタンを含み、前記ヒューズは有利にはアルミニウムを含む。前記誘電体層は多重誘電体層を含む。前記導電性経路はヒューズに垂直に配置された導体線を

含んでいて、導体線とヒューズとの間のバンドを形成する。ヒューズを通る電流はバンドから空孔へ向かって流れる。前記ライナ材料の抵抗は有利には、ヒューズの他の部分の抵抗より大きい。

【0015】縦型ヒューズの製造方法は、半導体デバイスの誘電体層中にヒューズホールを縦方向に形成するステップと、前記ヒューズホールの側面を導電体層でライニングするステップと、前記ヒューズホール内に導電体を堆積するステップとを有する。前記導電体層の抵抗は前記導電体の抵抗より大きく、前記導電体は空孔を形成し、前記空孔の縦表面には導電体層が配置されている。

【0016】縦型ヒューズの製造を、メモリチップのコンタクトおよびバイア構造体の製造と同時にを行う方法は、メモリアレイ部分内にデバイスが形成されている基板を含むメモリチップを提供し、チップはさらにヒューズ領域を有し、前記基板上に第1誘電体層を堆積し、第1誘電体層中にコンタクトを形成し、第2誘電体層を堆積し、ヒューズホールとバイアホールとを同時に形成し、ヒューズホールは第1および第2誘電体層中に縦方向に形成し、バイアホールをコンタクトまで貫通させ、ヒューズホールおよびバイアホールの側壁を導電体層でライニングし、導電体をヒューズホールおよびバイアホール内に堆積し、導電体層の抵抗は導電体の抵抗より大きく、ヒューズホール内に堆積した導電体はヒューズホール内に空孔を形成し、前記空孔の縦表面には導電体層が堆積しており、前記ヒューズホールは、バイアホールの開口部よりも大きな開口部を形成しており、同じプロセスによりヒューズホール内に空孔を形成する一方、バイアホールを充填する。

【0017】他の方法では、導電体を堆積するステップは、デュアルダマシンプロセスにより導電体を堆積するステップを含む。導電体を堆積するステップは、導電体の湿潤層を堆積し、ヒューズホール内に導電体を堆積して空孔を形成することをさらに含む。湿潤層は有利には、化学的気相成長プロセスにより堆積させる。導電体は有利には、物理的気相成長プロセスにより堆積させる。導電体層または空孔の寸法の一方を調整して、所定のヒューズ切断電圧を規定するステップをさらに含む。前記導電体は有利には、アルミニウムを含み、前記導電体層は窒化チタンを含む。ヒューズの抵抗を、該ヒューズが接続されている外部回路の抵抗と整合させるステップをさらに含む。

【0018】本発明は半導体製造に関し、より詳細には縦型ヒューズおよび半導体チップレイアウト面積の縮小に対する方法に関する。本発明は、ヒューズの製造をチップ面に垂直な方向に行う方法を含む。本発明によるヒューズは縦型に配置されており、すなわち縦方向ヒューズである。本発明による縦型ヒューズは、ヒューズが占める面積を縮小する。例えば従来技術による横型ヒューズが長さ4 μm 、幅0.5 μm 、厚さ0.5 μm である

ならば、ヒューズを横方向から縦方向へ変えることにより面積が約8倍縮小される。また本発明は、ヒューズの消費電力を最大とするためにヒューズ抵抗を調整する方法を含む。消費電力を最大にすることにより、ヒューズが容易に切断できるようになる。有利な実施例では、縦型ヒューズは空孔を有し、この空孔は付加的なマスクまたはプロセスステップ無しに形成される。空孔を組み込むことによる利点の1つは、切断されたヒューズを熱してしまう可能性をこの空孔が小さくするからである。

【0019】図1から図6で説明した構造体を形成するためのプロセスを、本発明において縦型ヒューズを形成するために使用する。有利には、本発明による縦型ヒューズによりチップレイアウト面積が縮小され、かつこのヒューズは付加的なプロセスステップおよびマスク無しに製造される。言い換えると、縦型ヒューズが半導体デバイスのヒューズ領域に、デバイスの他の構造体と同時に形成される。縦型ヒューズと同時に形成されるメモリアレイデバイスを備えたメモリデバイスに対する、縦型ヒューズの製造プロセスを例として説明する。

【0020】

【実施例】図を参照して詳細を具体的に説明する。図全体を通して、類似または同一の要素にはそれぞれ相応の参照番号を付してある。まず図7に半導体基板12を示す。半導体基板はシリコン、SOI、ガリウムヒ素または当分野で公知の他の基板を含む。導電体16が誘電体層14上に堆積している。他の形式の半導体デバイスに対しては、他の導電性構造体が同様に形成される。当分野で公知のプロセスにより、誘電体層14は堆積され、パターニングされる。誘電体層14はTEOS、熱酸化物、シランまたは高密度多結晶シリコンのような酸化物を含む。誘電体層18は誘電体層14上に堆積される。誘電体層18は二酸化シリコンのような酸化物である。

【0021】誘電体層18をパターニングし、そしてアレイ部分をエッチングしてデュアルダマシン構造を形成する。これは図2および図3に関連して既に説明した。CMPを実行して誘電体層18表面を平坦化する。誘電体層26を誘電体層18上に堆積する。誘電体層26は有利には二酸化シリコンのような酸化物である。誘電体層26をパターニングし、そしてエッチングしてデュアルダマシンヒューズホール102を形成する。ヒューズホールの形成は、図5に示したようにコンタクトホール32および配線トレンチ34がデュアルダマシン堆積に対して形成されるのと同様に行われる。ヒューズホール102のパターニングは有利にはリソグラフィプロセスにより実行する。ヒューズホール102のエッチングは反応性イオンエッチング(RIE)プロセスまたは化学的ダウンストリームエッチング(chemical downstream etching = CDE)プロセスにより実行される。その他のエッチング技術を使用してもよい。

【0022】ヒューズホール102は誘電体層18およ

び誘電体層26を貫通して導電体16に達する。誘電体層18および誘電体層26のエッチングに対して説明したエッチングプロセスは、有利には導電体16に対して選択的である。導電体16は有利にはタングステン、アルミニウムまたはその他の導電体である。

【0023】図8を参照する。ヒューズホール102内に導電性薄膜104が形成される。薄膜104は有利には、ベース材料（base material）またはヒューズに対して使用されるパイアよりも抵抗の大きい物質であり、以降のステップで適用される。薄膜104は堆積プロセス、例えば化学気相成長（CVD）により形成される。薄膜104はヒューズホール102をライニングする（図9も参照）。

【0024】図9を参照する。デュアルダマシン堆積プロセスにより、薄膜104の形成されているヒューズホール102を充填する。導電体106は有利には物理的気相成長プロセスにより堆積される。その他のコンフォーマルなコーティングプロセスを使用してもよい。導電体106は有利にはアルミニウムであるが、他の導電体を使用してもよい。有利な実施例では、薄膜104は金属窒化物を含む。例えばAlよりも抵抗が大きい窒化チタン（TiN）である。銅などの他の導体およびその合金を薄膜104に使用してよい。堆積プロセスには空孔108の形成を含み、この空孔によりヒューズ切断中に薄膜104の体積が膨張できる。縦型ヒューズ110が形成され、このヒューズにより半導体デバイスのレイアウト面積は、従来の横向きに配置されたヒューズと比較して大幅に縮小される。

【0025】図10は半導体デバイスの断面図であり、本発明による、同一の半導体デバイス上のヒューズ領域160およびメモリアレイ領域162を示す。参照番号11の部分を図11により詳細に示す。

【0026】図11に空孔領域の拡大図を示す。薄膜104は空孔108をライニングし、空孔108が形成されるように導電体106が堆積される。ヒューズ110を切断する際、電流はそこを流れる。所定量の電流がヒューズ110を流れると、ヒューズ110は切断される。導電体106と比較して薄膜104は抵抗が大きいだけでなく、その断面積も小さいので、薄膜104は I^2R 加熱の間に破壊される。ここでIは電流であり、Rはヒューズ110の抵抗である。空孔108があるので、薄膜104は電流による高温のために融ける。薄膜104は空孔108内へ膨張して、ヒューズ110の導電性経路を切断する。

【0027】ヒューズ110の重要な側面の1つは、異なる抵抗（R）のヒューズを製造することにより、異なる電流で切断され、かつ消費電力を最大にするようにヒューズ110を調整できるということである。これは様々な手法で実現される。消費電力を最大にする手法の1つは、ヒューズ110の抵抗を外部回路の抵抗

（ R_{EXT} ）と整合させることである。外部回路は、ヒューズ110に電流を供給するトランジスタ（図示せず）を含む。図12を参照する。ヒューズ110の抵抗はパイアの幅／半径 r_1 、空孔108の長さ“L”（図11参照）および／または薄膜104の厚さ Δr を変化させることで調整される（ここで r_1 は、導電体106の外径／外周または薄膜104の内径／内周への、半径または幅である）。これらの関係は以下の式1および式2のようにになっている。

【0028】

$$A = \pi ((2 \times r_1 \times \Delta r) - \Delta r^2) \quad \text{式1}$$

$$R = \rho L / A \quad \text{式2}$$

ここでAは水平面で切ったヒューズ110の断面積であり、 ρ は薄膜104の抵抗である。

【0029】図13は、本発明による縦型ヒューズの抵抗と消費電力との関係を示すグラフである。グラフに最大の消費電力の点A、BおよびCを示す。これらの点では、ヒューズ抵抗と凡例に示す外部抵抗（ R_{EXT} ）とが実質的に等しい。Uはヒューズの両端の電圧である。

【0030】発明者が行った電気的なテストでは、空孔108の有無によるAlスタッド（導電体106）の抵抗の劇的な相違は見られなかった。抵抗の違いは係数2の程度で変動した。空孔108内のスタッドの断面積が縮小することにより電流密度が増加して、それにより抵抗が大きくなると共に温度が上昇する。

【0031】図14を参照する。本発明によると有利には、導電体106はヒューズホール102を完全には充填しない。実施例の1つでは「低温Al充填（Cool-Al-Fill）」技術によりヒューズホール102を充填することで、その内部に空孔108を形成する。「低温Al充填」ではCVDによりAl湿潤層114を形成し、次に物理的気相成長（PVD）または他のコンフォーマルなコーティング処理によりAl堆積層116を形成する。薄膜104はAlが堆積する前に形成され、ヒューズホール102にAlを封じ込めるための拡散バリアとして機能する。薄膜104はライナ材料であり、本発明による縦型ヒューズに対して形成された空孔108を取り囲む。薄膜104は打ち込まれた（implanted = IMP）Ti（厚さ約250 Å）のスタックおよび／またはCVDによるTiN（厚さ約50 Å）を含む。有利にはTiNを使用する。

【0032】「低温Al充填」は次の特徴を有する。薄膜104は有利には、ヒューズホール102の底部まで達する連続的な膜である。湿潤層114は有利には、不連続な膜であり、付加的な導電体とはならない。すなわち、層116の所だけ湿潤（wet）であればよい。層116の充填の深さは、パイア／コンタクトの直径（ヒューズホール102）が縮小するにつれて深くなる。これらの特徴は空孔108のサイズ（抵抗）の制御を可能にするが、これは特に縦型ヒューズ110の臨界寸法（c

ritical dimension = CD) を変化させることにより可能になる。図15に示すのは、PVDによるA1充填物の深さに対する、ヒューズホール種々の異なる臨界寸法(凡例に示す)の堆積時間である。

【0033】実施例では、縦型ヒューズ110はアレイコンタクト(図1～図6)と同時に形成される。空孔108を有する縦型ヒューズ110を形成するには、有利には臨界寸法(バイア/ヒューズホール102の直径または幅)をコンタクト/バイアホール38よりも大きくする。この様にすると空孔108は確実に形成され、かつ導電体の堆積プロセスに依存しない。さらに、不連続なA1膜および連続なTiN層は、コンタクト/バイアホール28および38(図1～図6)よりも遅かに抵抗の大きい縦型ヒューズを形成する。

【0034】図16を参照する。縦型ヒューズ150の切断電圧は、ヒューズ150内にベンドを1つまたは複数加えることにより、減圧される。発明者によるモデリングおよび実験では、そのようなコンフィギュレーションが切断電圧を約2分の1に減圧できることが示された。この結果はヒューズの幾何学的形状に依存して変化すると思われる。実施例では、電子はベンド152から空孔154に向かって選択的に矢印「D」の方向に流れる。これは空孔がヒューズ150の直線部分に配置されているからである。従って切断電圧に、より大きな違いが実現される。

【図面の簡単な説明】

【図1】誘電体層および金属構造体が形成された従来型基板の断面図である。

【図2】誘電体層が堆積しコンタクトホールが形成された、図1の従来型基板の断面図である。

【図3】従来技術による、デュアルダマシンプロセス中にコンタクトホールに導電体が堆積した、図2の構造体の断面図である。

【図4】従来技術による、別の誘電体層が堆積した図3の構造体の断面図である。

【図5】従来技術による、バイアホールが別の誘電体層をコンタクトまで貫通している、図4の構造体の断面図である。

【図6】従来技術による、デュアルダマシンプロセス中にバイアホールに導電体が堆積した、図5の構造体の断

面図である。

【図7】本発明による、ヒューズホールが誘電体層を導電性構造体まで貫通している、半導体デバイスのヒューズ領域の断面図である。

【図8】本発明による、ヒューズホール内に導電性薄膜またはライナが堆積した、図7の構造体の断面図である。

【図9】本発明による、図8の構造体の断面図であり、デュアルダマシンプロセス中にヒューズホール内に導電体が堆積し、ライナが縦方向の壁をライニングしている空孔を形成し、それにより縦型ヒューズが形成されている。

【図10】本発明による、メモリチップのヒューズ領域およびアレイを示す、半導体デバイスの断面図である。

【図11】本発明による、図10の参照番号11部分を拡大して詳細に示す断面図であり、ライナおよび空孔を示す。

【図12】本発明による、幾何学的な寸法を示したライナ/導電体層の断面図である。

【図13】ヒューズ内の消費電力と、ヒューズ抵抗との関係を、種々異なる外部抵抗に対して示したグラフである。

【図14】ライナを備えたヒューズホール、湿潤A1層および物理的に堆積されたA1層を有する、本発明の実施例を示す断面図である。

【図15】物理的に堆積された図14のA1層の深さと、堆積時間との関係を、種々異なる臨界寸法(CD)に対して示したグラフである。

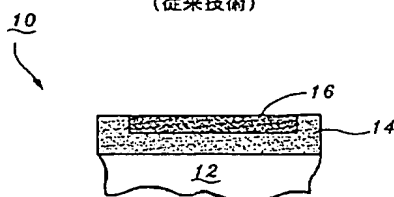
【図16】切断電圧を低下させるためにヒューズにベンドを設けてある、本発明の別の実施例を示す断面図である。

【符号の説明】

- 12 基板
- 14、18、26 誘電体層
- 16 導電体
- 104 導電性薄膜
- 106 導電体
- 108 空孔
- 110 縦型ヒューズ

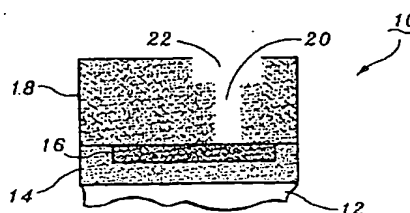
【図1】

(従来技術)

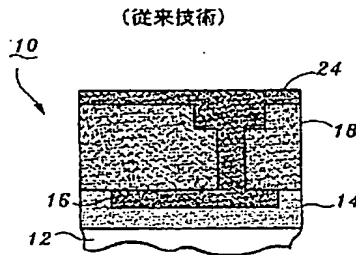


【図2】

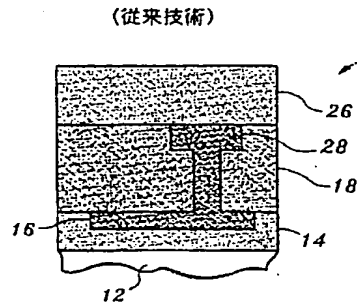
(従来技術)



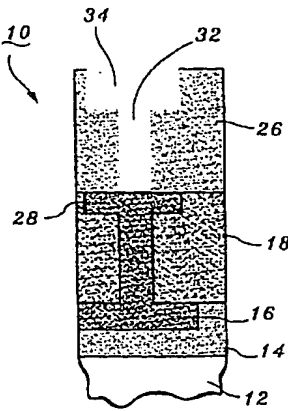
【図3】



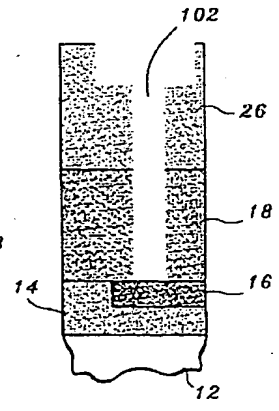
【図4】



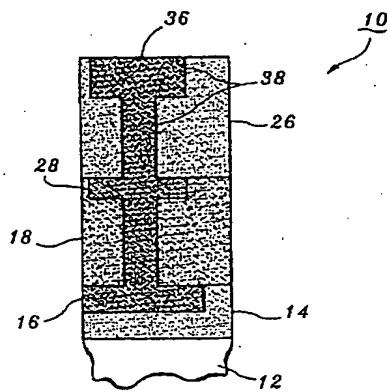
【図5】



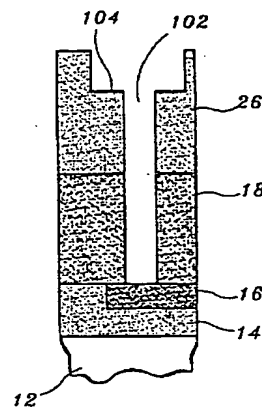
【図7】



【図6】

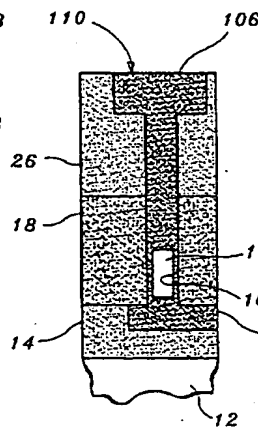


【図8】

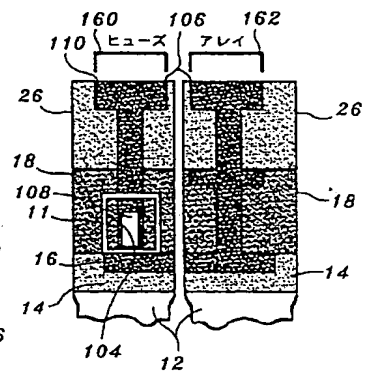


(従来技術)

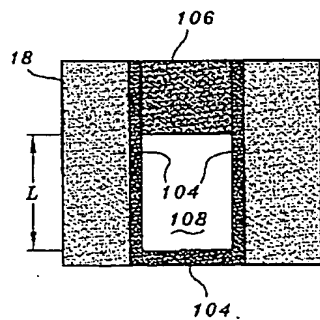
【図9】



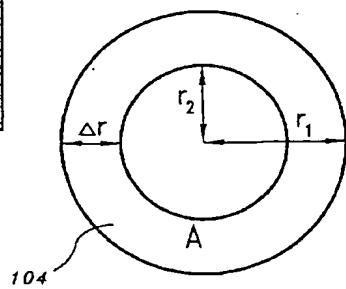
【図10】



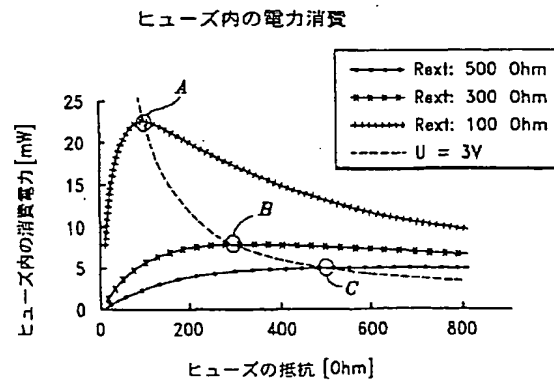
【図11】



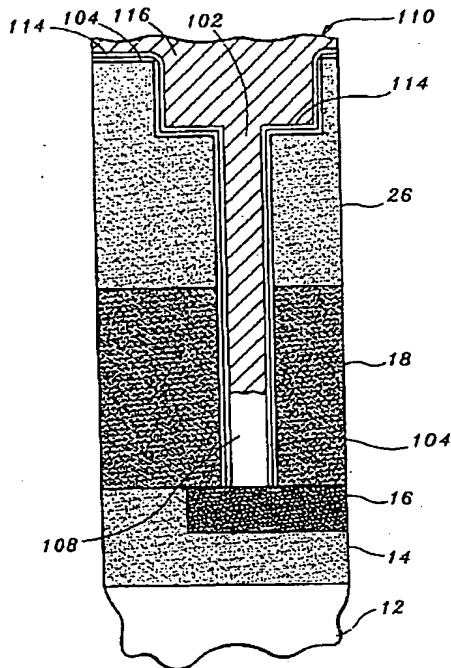
【図12】



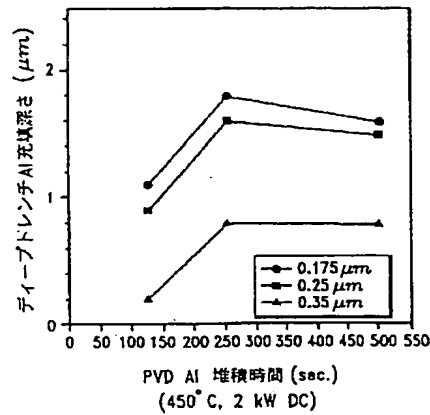
【図13】



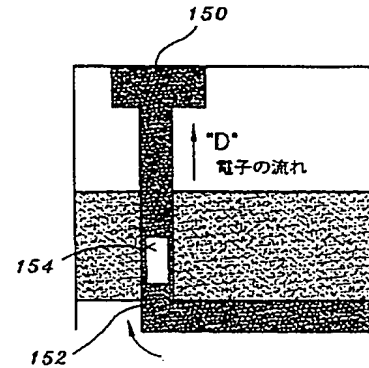
【図14】



【図15】



【図16】



フロントページの続き

- (71) 出願人 399035836
1730 North First Street, San Jose, CA, USA
- (71) 出願人 594145404
インターナショナル ビジネス マシーンズ コーポレーション
アメリカ合衆国ニューヨーク州 10504
ニューヨーク アーモンク オールド オーチャード ロード (番地なし)
- (72) 発明者 ステファン ジェイ ウェーバー
アメリカ合衆国 ニューヨーク フィッシュキル タマラック サークル 26
- (72) 発明者 ロイ イッガルデン
アメリカ合衆国 ニューヨーク ニューバーグ ジェイノス プレイス 2

- (72) 発明者 チャンドラセカール ナラヤン
アメリカ合衆国 ニューヨーク ホープウェル ジャンクション ケンジントン ドライブ 62
- (72) 発明者 アクセル クリストフ プリンツィンガー
アメリカ合衆国 ニューヨーク フィッシュキル アスペン コート 20
- (72) 発明者 マーク ホインキス
アメリカ合衆国 ニューヨーク フィッシュキル スブルース リッジ ドライブ 37
- (72) 発明者 ロバート ヴァン デン バーグ
アメリカ合衆国 ニューヨーク ホープウェル ジャンクション ブローディー ロード 11

BEST AVAILABLE COPY